(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁶ HOSK 19/0175	(11) 공개번호 특1998-074768 (43) 공개일자 1998년11월06일					
(21) 출원번호 (22) 출원일자	특 1997-010737 1997년03월 27일					
(71) 출원인	삼성진자 주식회사 윤종용					
(72) 발명자 ·	경기도 수원시 팔달구 매탄동 416 심제윤					
	광주광역시 서구 농성동 422-3					
	박홍준					
	경상북도 포항시 남구 지곡동 교수숙소 9동 802호					
	조수인					
	서울특별시 서초구 반포동 32-5 서초한양마파트 6동 1005호					
	이정배					
(74) 대리인	경기도 군포시 산본동 수리 한양 아파트 810-501 이건주					
创入君子: 있者						
(54) 전류모드 양병향 열	U총력 HII					

飞砧

본 발명은 칩과 칩간에 고속의 데이타 전승을 수행할 수 있는 양방향 입출력 버퍼에 관한 것으로, 이러한 전류모드 양방향 입출력 버퍼는 외부로 출력하고자 하는 출력전압에 용답하여 그에 상용하는 출력전류를 제공하는 출력전류소오스와; 상기 출력전압의 레벨에 따라 그에 상용하는 기준전류를 제공하는 기준전류 소오스와; 상기 출력전류와 외부로 부터 입력되는 입력전압에 상용하는 입력전류가 혼합된 신호로 제공되 는 하나의 입출력라인과: 상기 기준전류와 상기 혼합된 신호를 비교하여 상기 입력전압만을 복원시켜 출 력하는 복원회로부를 포함하는 것을 특징으로 한다.

Q#Z

52

BAN

도면의 간단한 설명

- 도 1은 종래의 기술에 따라 구현된 양방향 입출력 버퍼의 계략적인 구성도.
- 도 2는 본 발명에 따른 전류 모드 양방향 입출력 배퍼의 개략적인 구성도.
- 도 3은 본 발명의 제1실시에에 따라 구현되는 전류 모드 양방향 입출력 버퍼의 구체회로도.
- 도 4는 본 발명의 제2실시에에 따라 구현되는 전류 모드 양방향 입출력 버피의 구체회로도,
- 도 5는 본 발명의 제3실시예에 따라 도 4에 도시된 출력신호물을 통해 복원신호를 제공하기 위한 논리회로를 나타낸 회로도.
- 도 6은 본 발명에 따른 전류 모드 양방향 입출력 버퍼의 특성을 나타낸 시뮬레이션 파형도.

발명의 상세환 설명

열명의 목적

监督的 今都七 기술 및 그 보다의 중래기술

본 발명은 두 칩간의 데이타 전송시 해나의 전송선으로 양방향 동시에 데이타 전송이 가능한 양방향 입출력 배퍼에 관한 것으로, 특히, 전류 모드로 동작하는 양방향 입출력 배퍼에 관한 것이다.

최근, 집적회로 공정이 향상됨에 따라 고속동작을 위한 시스템의 성능은 첩과 첩간의 데이타 전송의 속도 에 의해 제한되게 되었다. 고속 데이터 통신에 있어서 하나의 케이블로써 양방향으로 데이터 전송이 가능 한 양방향 입출력 시스템에 대한 연구가 진행되고 있다. 이것은 사용가능한 핀 수가 제한되어 있는 시스템에서 하나의 핀으로 데이터의 입출력을 동시에 할 수 있다는 장점을 가지고 있으므로 핀당 진송 능력은 두배의 효율을 갖는다. 양방향 입출력버퍼는 입출력 신호가 혼합되어 있는 신호중 외부에서 입력되는 신호만을 복원하게 되는데 복원 회로의 속도가 양방향 버퍼의 속도를 제한시키는 하나의 원인이 된다. 이러한 지연은 전압 모드로 동작하기 때문인데, 그것은 도 1을 통하여 살펴볼 것이다.

도 1은 증레의 양방향 입출력 버퍼의 신호 전송 시스템의 개략적인 구성도이다.

도 1에 도시된 바와 같이, 증래의 양방향 입출력 버퍼의 기본적인 구성은 외부로 보내고자 하는 전압신호 단자 INI, 출력단자 OUTI, 외부로 부터 입력되는 신호가 복원된 값이 나타나는 수신단자 REI, 외부로 보 내고자 하는 신호와 외부로 부터 입력되는 신호가 혼합된 전압값을 갖는 상기 출력단자 OUTI의 전압값과 비교하여 외부로 부터 입력되는 신호를 복원시키기 위한 기준전압으로서 INI에 따라 값이 선택되는 기준 전압 Vref1을 발생하는 기준전압밤생기(103A)와, 출력버퍼(101A), 전압 비교기(102A)로 이루어진다.

도 1을 참조하여 등작을 보다 상세히 설명하면, 하나의 침에서 외부로 보내고자 하는 진압신호 및 INI과 외부로 부터 입력되는 신호 및 IN2에 따라 출력단자 OUT1과 OUT2의 전압은 두 참이 각각 출력하고자 하는 전압값의 평균을 나타낸다. 만약 두 칩(100A, 100B)간에 전송하고자 하는 전압 값이 OV와 Yh 두 증류만이 있다고 가정하면, 상기 출력단자 OUT1에는 Yh와 0.5×Yh 및 OV증의 하나의 값을 갖게 된다. 즉 전압신호단자 INI과 IN2가 모두 하이레벨일때 Yh이고, 상기 전압신호단자 INI과 IN2중 하나만 하이레벨일때 O.5×Yh이며, 상기 전압신호단자 INI과 IN2이 모두 로우레벨일때 OV의 값을 갖게 된다. 그러므로, 각 경우에따라 변화되는 상기 전압신호 및 INI의 값에 따라 선택된 Yref와 상기 출력단자 OUT1의 전압을 비교하여 수신단자 REI을 통해 복원된 전압을 출력하게 된다. 상기 전압신호 및 INI와 및 IN2의 값에 따른 기준전압 Yref1과 Yref2의 선택과, 이때 OUT1과 OUT2의 값으로 부터 복원되는 신호를 표 1에 나타내었다.

[표 1]

1111	0/301	0.4301	1 (2101)	1 (8101)
Ψ INI	0 (로우)	0 (로우)	1 (801)	
¥ INZ	0 (로우)	1 (8101)	0 (로우)	1 (하이)
Yref 1	0.25×Vh	0.25×Vh	0.75×Vh	0.75×Yh
Vref2	0.25×Yh	0.75×Yh	0.25×Vh	0.75×Yh
OUT1 = OUT2	0	0.5×Yh	0.5× Vh	٧ħ
복원신호(RE1)	0 (로우)	1 (5101)	0 (로우)	1 (하이)
복원신호(RE2)	0 (로우)	0 (로우)	1 (하이)	1 (하이)

그런데, 상술한 바와 같은 증래의 양방향 입출력 버퍼는 전압 모드로 동작하므로 전압 비교기(102A)와 기준전압 Yref의 선택시 필요한 스위칭 속도의 문화로 인한 복원 회로의 속도가 양방향 버퍼의 속도를 제한 시키는 하나의 원인이 된다.

监督的 이후고자하는 기술적 承測

진술한 문제점을 해결하기 위한 분 발명의 목적은 전류모드에서 동작 가능한 양방향 입출력 버퍼를 제공 함에 있다.

본 발명의 다른 목적은 첩과 칩간에 고속의 데이타 전송을 수행할 수 있는 양방향 입출력 버퍼를 제공함 에 있다.

. 본 발명의 또 다른 목적은 전류소오스를 이용한 양방향 입출력 버퍼를 제공함에 있다.

발명의 구성 및 작용

진습한 목적을 달성하기 위한 본 발명의 기습적 사상에 따르면, 전류모드 양방향 입출력 버퍼는 외부로 출력하고자 하는 출력전압에 응답하여 그에 상용하는 출력전류를 제공하는 출력전류소오스와; 상기 출력 진압의 레벨에 따라 그에 상용하는 기준전류를 제공하는 기준전류소오스와; 상기 출력전류와 외부로 부터 입력되는 입력전압에 상용하는 입력전류가 혼합된 신호로 제공되는 하나의 입출력라인과; 상기 기준전류 와 상기 혼합된 신호를 비교하여 상기 입력전압만을 복원시켜 출력하는 복원화로부를 포함하는 것을 특징 으로 하다.

상기 복원회로부는 상기 출력전류소오스와 입측단자가 접속된 전류거울과, 상기 전류거울의 일측단자와 동일한 전류값을 가지는 전류거울의 단촉단자와 상기 가준전류소오스가 접속되는 전류비교기로 구성됨을 통장으로 하고, 상기 전류거울은 상기 출력전류소오스와 접지전원사이에 채널이 직렬로 접속되며, 게이트 와 드레인이 공통접속되는 제1트랜지스터와; 상기 기준전류소오스의 일촉단자와 접지전원사이에 채널이 직렬로 접속되며, 상기 제1트랜지스터의 게이트와 접속되는 게이트를 가지는 제2트랜지스터로 구성됨을 특징으로 한다.

진술한 기준전류는 상기 출력전압이 하이래뱉일 경우에는 상기 출력전류에 0.75를 곱한 값이 되고, 상기 출력전압이 로우레벨일 경우에는 상기 출력전류에 0.25를 곱한 값이 되는 것을 특징으로 한다.

이하 본 발명에 따른 비람직한 실시애를 첨부한 도면을 참조하여 상세히 설명할 것이다. 또한, 도면물증 동일한 구성요소 및 부분들은 가능한한 어느곳에서든지 동일한 부호들을 나타내고 있음을 유익하여야 한 다

도 2는 본 발명에 따른 전류 모드 양방향 입출력 배퍼를 나타낸 계략적인 구성도이다.

도 2를 참조하며 전류 모드 양방향 입출력 배패회로의 기본적인 구성을 살펴보면, 출력전류소오스(201A

Ü

202A)와, 기준전류소오스(203A)와, 상기 출력전류소오스(201A, 202A)의 임촉단자와 접속되는 전류거울(엔모오스 트랜지스터를 NI과 K으로 이루어진 회로)과, 상기 기준전류소오스(203A)와 상기 트랜지스터 K2가 합속된 라인에 접속되어 이 트랜지스터 K2가 방전시키는 전류량에 따라 복원된 전압값을 제공하는 논리회로(204A)로 구성된다. 그리고 상기 출력전류소오스(201A, 202A)와 상기 엔모오스 트랜지스터 NI의 드레인사이의 접속노드는 출력단자 OUTI로써 두 첩(100A, 100B)간의 데이타 전송라인 L1에 연결된다. 상기 출력전류소오스(201A, 202A)내의 전류소오스(201A)는 전류 11을 공급하기 위한 것이고, 전류소오스(202A)는 전류 12를 공급하기 위한 것이다. 그리고, 상기 신호 방에에 응답하여 스위청동작을 수행하는 스위치 S1는 상기 전류소오스(201A)의 임촉단자와 상기 출력단자 OUTI사이에 접속된다. 한편, 상기 첩(100B)내에도 현선(100A)내의 양병한 인족력에 대어 동일한 최로가 내장된다. 천(100A)내의 양방향 입출력내대와 동일한 회로가 내장된다.

도 2를 참조하여 동작을 설명하면, 하나의 칩(100A)에서 외부 즉 다른 칩(100B)으로 출력하고자 하는 전 압신호 ψ INI와 외부로 부터 유입되는 전압신호 ψ IN2에 따라 트랜지스터 제의 채널을 통해 호르는 전류 Iol는 상기 칩(100A)의 출력 전류와 다른 칩(100B)의 출력 전류의 평균값이다. 이러한 출력전류 Iol는 I1+12, 0.5× I1+12, 12중 하나의 값을 갖게 되는데, 상기 신호 ψ INI과 ψ IN2가 모두 하이래벨일 경우에는 II+12이고, 상기 신호 ψ INI과 ψ IN2중 하나만 하이래벨일 경우에는 0.5× I1+12이며, 상기 신호 ψ INI과 ψ IN2가 모두 로우레벨일 경우에는 12의 값만을 갖게 된다. 그러므로 각 경우에 있어서, 상기 신호 INI의 값에 따라 선택된 Iref1과 상기 출력신호 Iol를 비교하여 외부로 부터 인가된 신호를 복원하게 된다. 상기 신호 ψ INI과 ψ IN2의 값에 따른 Iref1과 Iref2와 이때 Iol과 Io2의 값으로 부터 복원되는 신호를 표 2에 나타내었다.

또한, 두 칩(100A, 1008)간의 데이타 전송을 위한 전송선 LI의 특성 임피던스 Zo와 정합을 시키기 위하여 상기 트랜자스터 M의 트랜스콘덕턴스(sw)의 역수가 임피던스 Zo와 같도록 상기 트랜지스터 M의 크기를 조정하여 설계하면 고주파에서 발생될 수 있는 반사파를 제거할 수 있다.

[H 2]

w INI	0 (로우)	0 (로우)	1 (801)	1 (하이)
w IN2	0 (로우)	1 (하이)	0 (로우)	1 (8101)
Iref1	0.25×11+12	0.25×11+12	0.75×11+12	0.75×11+12
Iref2	0.25×11+12	0.75×11+12	0.25×11+12	0.75×11+12
101 = 102	12	0.5×11+12	0.5×11+12	11+12
복원신호 RE1	0 (로우)	1 (हे।।)	0 (로우)	1 (ōIOI)
복원신호 RE2	0 (로우)	0 (로우)	1 (ð)01)	1 (하이)

도 3는 본 발명의 제1실시에에 따른 진류모드 양방향 입출력 버퍼의 구체회로도이다.

도 3에 도시된 바와 같이, 진원전압 WDD와 각기 연결되는 소오스 단자와, 바이머스 단자 Vbiasi와 접속되는 게이트 단자를 가지는 피형 모오스 트랜지스터를 TIT4과: 이 피형 모오스 트랜지스터를 TIT4의 드레인 단자와 각기 접속되는 소오스 단자와, 바이머스 단자 Vbias2와 접속되는 게이트를 가지는 피형 모오스 트랜지스터를 T578과; 상기 압력단자 INI와 접속되는 게이트를 가지며, 상기 트랜지스터 T5의 드레인단자와 접지전원사이에 채널이 직렬로 접속되는 엔형 모오스 트랜지스터 T10와; 상가 트랜지스터 T5의 드레인단자와 접지전원사이에 채널이 직렬로 접속되는 엔형 모오스 트랜지스터 T10와; 상가 트랜지스터 T5의 드레인단자의 전류와 상기 트랜지스터 T6의 드레인단자의 전류와 상기 트랜지스터 T6의 드레인단자의 전류가 동일한 값을 가지도록 하기 위한 전류가을(트랜지스터 T11, T12로 이루어진 회로)이 상기 트랜지스터를 T5, T6과 접지전원사이에 접속된다. 상기 트랜지스터 T7의 드레인 단자의 전류값이 동일한 값을 가지도록 하기 위한 전류거울(트랜지스터 T13, T14로 이루어진 회로)이 상기 트랜지스터를 T13, T14과 접지전원사이에 접속된다. 상기 출력단자 0대1에는 상기 트랜지스터 T12의 드레인 단자도 연결된다. 그리고 상기 트랜지스터 T8의 드레인단자와 T14의 드레인 단자가 접속되는 공통노드 N1은 인버어터(2044)의 압력단자와 접속된다. 이 공통노드 N1과 전원전압 VDD사이에 다이오우드 접속된 데모오스 트랜지스터 T5와 연결되고, 이 공통노드 N1과 접지전원 VSS사이에 다이오우드 접속된 엔모오스 트랜지스터 T15가 연결된다. 스터 TI5가 연결된다.

으더 119가 언론된다.

도 3을 참조하여 동작을 상세히 설명하면, 트랜지스터를 T178은 캐스코드 전류소오스를을 구성하여 진류 I와 Irefl을 공급한다. 상기 입력단자 INI를 통해 인가되는 신호 ♥INI의 값에 따라 전류모드 스위치인 트랜지스터 T10이 동작하고 전류미러 T11와 T12에 의해 트랜지스터 T12에 QA(Ampere) 또는 전류 I가 흐르게 된다. 즉, 만약 신호 ♥INI이 하이레벨일 경우 트랜지스터 T19 T5에 흐르는 전류 I가 상기 신호 ♥INI에 의해 턴온되는 트랜지스터 T10를 통해 방전되게 되어 트랜지스터 T11와 T12에는 전류가 흐르지 않게 된다. 따라서, 상기 트랜지스터 T2와 T6에 흐르는 전류 I는 출력단자 메주으로 공급되므로 외부에서 유입되는 신호에 따라 트랜지스터 T2와 T6에 흐르는 전류 I을 출력 공급되는 전류 I인에서 사용입되는 신호에 따라 트랜지스터 T13에는 상기 트랜지스터를 T3, T7을 통해 공급되는 전류 I인에서 IV2(상기 신호를 ♥INI와 IN2증 한 신호만이 하이레벨일 경우)가 더 가해지게 된다. 만약 상기 신호 ♥INI이 로우레벨일 경우에는 트랜지스터 T19차 T5에 흐르는 전류 I가 트랜지스터 T11와 T12에 공급되므로 이 트랜지스터를 T11, T12은 턴온되게 되고, 이로인해 상기 트랜지스터 T2와 T6를 통해 공급되는 전류 I는 트랜지스터 T12를 통해 방전되게 된다. 따라서 트랜지스터 T2와 T6를 통해 공급되는 전류 I는 플랜지스터 T12를 통해 방전되게 된다. 따라서 트랜지스터 T2와 T6를 통해 공급되는 전류 I는 플랜지스터 T13를 통해 공급되는 전류 I는 플랜지스터 T13를 통해 당근되고 있으므로 외부에서 유입되는 신호에 따라 상기 트랜지스터 T13에는 트랜지스터 T3, T7를 통해 공급되는 전류 I 또는 I에 외부로부터 유입되는 1/2(상기 신호 IN2가 하미레벨일 경우 공급되는 전류)가 더 대해진 전류가 흐르게 된다.

상기 트랜지스터 T13과 T14는 전류거울을 구성하고 있으므로, 채널 폭과 길이의 비에 따라 상기 트랜지스터 T14에는 트랜지스터 T13에 흐르는 전류와 동일한 전류가 흐르려고 하고, 그때 기준전류 소오스를 구성하는 따모오스 트랜지스터를 T4와 T8이 공급하려고 하는 기준전류 Iref1 값은 상기 신호 ♥IN1의 값에 따라 선택되어지는 값으로 정해지므로, 트랜지스터를 T4, T8 및 T14은 전류의 차이를 전압 출력으로 전환시 켜주는 전류비교기가 된다. 즉 트랜지스터 T4와 T8를 통해 흐르는 기준전류 Iref1와 트랜지스터 T14를 통해 방전되는 전류값을 비교한 결과가 이 트랜지스터 T14의 드레인 단자에 전압으로 나타나게 되며, 이 결

과로 외부 신호를 복구할 수 있다. 상기 피모오스 트랜지스터 T9와 엔모오스 트랜지스터 T15는 다이오우드 구조의 부하로써 낮은 임피던스 경로를 만들어 상기 전류비교기의 전압 폭읍 줄여 출력속도를 빠르게 하는 역할을 한다. 즉, 상기 트랜지스터 T14를 통해 방전되는 전류가 트랜지스터 T4와 T8를 통해 공급되하는 1ref1보다 작게 흐름때 트랜지스터 T15가 전류경로를 형성하고, 상기 트랜지스터 T14를 통해 방전되는 1ref1보다 작게 흐름때 트랜지스터 T15가 전류경로를 형성하고, 상기 트랜지스터 T14를 통해 방전되는 지류가 상기 기준전류 1ref1보다 크게 흐름때 상기 트랜지스터 T9가 전류경로를 형성하여 전압 폭을 줄이 존유가 상기 기준전류 1ref1보다 크게 흐름때 상기 트랜지스터 T9가 전류경로를 형성하여 전압 폭을 줄이는 동시에 d1/dt로 표현되는 스위치 잡음을 제거하는 역할을 한다.

도 4는 본 밤명의 제2실시에에 따라 구현되는 전류 모드 양방향 입출력버퍼의 구체회로도이다.

도 4는 본 탑명의 제2실시에에 따라 구현되는 전류 모드 양방향 입출력버퍼의 구체회로도이다.

도 4에 도시된 바와 같이, 트랜지스터를 T173, T5~17, T10~113로 구성된 회로를 이용하여 출력단자 에기에 상기 신호 v1N1가 인가되는 방식과, 각 단자들을 통해 줄력되는 신호을 comp.H, comp.L, v8S은 이기 수신단자 REI를 통해 줄력되는 신호와 동일한 방법에 의해 생성된다. 다만, 다른 것이 있다면, 각 상기 수신단자 REI를 통해 줄력되는 신호와 동일한 방법에 의해 생성된다. 다만, 다른 것이 있다면, 각 기준전류물의 레벨을 다르게 설정하기 위하여 채널길이 대 쪽의 비를 다르게 설정하는 것이다. 상기 신호 v1N1의 값에 따라 표 2에 나타낸 바와 같이 나타내어진다. 즉,도 2에 도시된 11과 12가 1로써 같은 값 v1N1의 값에 따라 표 2에 나타낸 바와 같이 나타내어진다. 즉,도 2에 도시된 11과 12가 1로써 같은 값 v1N1의 값에 따라 표 2에 나타낸 바와 같이 나타내어진다. 즉,도 2에 도시된 11과 12가 1로써 같은 값 v1N1의 값에 따라 표 2에 나타낸 바와 같이 나타내어진다. 즉,도 2에 도시된 11과 12가 1로써 같은 값 1.751와 1.251와 요구된다. 이러한 기준전류 1.751와 1.251와 대해 항상 비교하도록 함하였다. 이러한 기준전류 1.751와 1.251와 대해 항상 비교하도록 설계하였다. 이러한 기준전류 1.751와 1.251와 대해 항상 비교하도록 설계하였다. 이러한 기준전류 1.751와 1.251와 제1비교기(401)는 기준전류 1.751를 제2하기 위하여 상기 트랜지스터 14'의 채널길이 대 폭의 비를 1.75로 설정하였다. 신호 comp.H 1.751를 제2하기 위하여 상기 트랜지스터 14'의 채널길이 대 폭의 비를 1.75로 설정하였다. 신호 comp.H 1.751를 제2하기 위하여 상기 트랜지스터 14'의 채널길이 대 폭의 비를 1.75로 설정하였다. 이품 피모으의 비를 1.251를 제2하였다. 이품 피모으의 비를 1.25로 설정하였다. 이품 피모으는 트랜지스터를 12 가진적류 1.751와 1.251의 값을 좀 더 정확하게 맞추기 위한 것으로, 이러한 트랜지스터를 18'와 18 없이도 본 발명의 구현될 수 있다. 또한 나머지 트랜지스터를 15~17도 상기 전략 12와 정확도를 높이기 위한 것으로, 이러한 트랜지스터를 15~17 없어도 본 발명이 구현될 수 있음은 자명하다.

자함은 사공이다.
한편, 상기 신호 wSS의 값은 상기 신호 wINI과 동일한 값을 갖는다. 이 신호 wSS는 상기 신호 wINI이 한편, 상기 신호 wSS의 값은 상기 신호 comp-H와 comp-L가 출력되기까지의 지연시간과 갈게 하기 위상기 전류비교기(401, 402)를 거쳐 상기 신호 wSS가 출력되기까지의 지연시간은 상기 전류비교기(401, 402)와 동일한 형태의 전류 비교기(403)를 경유함으로써 이루어진다. 상기 신호 wSS가 출력되는 제3네교 402)와 동일한 형태의 전류 비교기(403)를 경유함으로써 이루어진다. 상기 신호 wSS가 출력되는 제3네교 기(403)는 기준전류 Iref3를 제공하기 위하여 채널길이 대 폭의 비를 1.5로 설정하였다. 결국 신호들기(403)는 기준전류 Iref3를 제공하기 위하여 채널길이 대 폭의 비를 1.5로 설정하였다. 결국 신호들 Comp-H, comp-L, wSS를 이용하여 외부로부터 압력되는 신호를 복원할 수 있게 된다. 이러한 복원을 본 Comp-H, comp-L 는 사항을 이용하여 외부로부터 압력되는 신호를 복원할 수 있게 된다. 이러한 복원을 본 나타낸 도 5에서와 같이, 상기 신호 wSS가 하이레벨일 경우에 이트(502, 503)를 연결하여, 상기 신호 wSS로 제어하는 것이다. 즉 상기 신호 wSS가 하이레벨일 경우에 인트(502, 503)를 연결하여, 상기 신호 wSS로 제어하는 것이다. 즉 상기 신호 wSS가 하이레벨일 경우에 반을 경력단자 OUTI에 유입되는 신호와 기준전류 1.751를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.751를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.251를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.251를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.251를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.251를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.251를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.251를 비교하여 출력되는 복원신호인 Comp-L 행일 경우에는 출력단자 OUTI에 유입되는 신호와 기준전류 1.251를 비교하여 출력되는 목원신호인 Comp-L 항의 사상의 범위안에서 다른 여러 가지 구성으로 변형할 수도 있다.

도 6은 본 발명에 따른 전류모드 양방향 입출력배파의 출력 파형도이다. 도 6을 참조하면, 공급전압은 5V로 하고, 신호 IN의 출력은 666 Mbps, 신호 IN인의 출력은 66 Mbps로 데이터를 전송할 때 수신단자 REI, RE2를 통해 복원된 신호물의 파형을 나타내었다. 즉 이러한 동작은 1.33 Gbps의 양방향 전송 능력을 가짐을 알 수 있다.

监督의 亞承

진술한 바와 같이, 본 발명은 전류모드에서 동작 가능하다는 이점을 가진다. 또한, 본 발명은 칩과 칩간 에 고속의 데이타 진송을 수행할 수 있는 이점을 가진다.

(57) 경구의 범위

청구항 1. 전류모드 양방향 입출력 버피에 있어서:

외부로 출력하고자 하는 출력전압에 응답하여 그에 상응하는 출력전류를 제공하는 출력전류소오스와;

상기 출력진압의 레벨에 따라 그에 상용하는 기준전류를 제공하는 기준전류소오스와;

상기 출력전류와 외부로 부터 입력되는 입력전압에 상용하는 입력전류가 혼합된 신호로 제공되는 하나의 입출력라인과;

상기 기준전류와 상기 혼합된 신호를 비교하여 상기 입력전압만을 복원시켜 출력하는 복원회로부를 포함 하는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 2. 제1항에 있어서, 상기 복원회로부는

상기 출력전류소오스와 일측단자가 접속된 전류거움과, 상기 전류거울의 일측단자와 동일한 전류값을 가지는 전류거울의 타축단자와 상기 기준전류소오스가 접속되는 전류비교기로 구성됨을 특징으로 하는 전류 모드 양방향 입출력버퍼.

제2항에 있어서, 상기 전류거율은

상기 출력전류소오스와 접지전원사이에 채널이 직별로 접속되며, 게이트와 드레인이 공통접속되는 제1트 랜자스터와; 상기 기준전류소오스의 일촉단지와 접지전원사이에 채널이 직렬로 접속되며, 상기 제1트랜지 스터의 게이트와 접속되는 게이트를 가지는 제2트랜지스터로 구성됨을 특징으로 하는 전류모드 양방향 압

출력내대.

청구항 4. 제3항에 있어서, 상기 전류비교기는 상기 가준전류소오스의 일촉단자와 상기 제2트랜지스터의 드레인이 연결되는 공통단자와 접속되는 인버머터로 구성됨을 특징으로 하는 전류모드 양방향 입출력 버퍼

청구항 5. 제3항에 있어서, 고주파의 반사파를 제거하기 위하며, 상기 제1트랜지스터의 크기를 조정함에 있어서 상기 제1트랜지스터의 트랜스콘덕턴스의 역수 값을 상기 입출력라인의 특성 임피던스 값에 맞추는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 6. 제1항에 있어서, 상기 기준전류는 상기 출력전압이 하이레벨일 경우에는 상기 출력전류에 0.75클 곱한 값이 되고, 상기 출력전압이 로우레벨일 경우에는 상기 출력전류에 0.25를 곱한 값이 되는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 7. 전류모드 양방향 입출력 버퍼에 있어서:

외부로 출력하고자 하는 출력전압에 응답하며 그에 상용하는 출력전류를 제공하는 출력전류소오스와;

상기 출력전압의 레벨에 따라 그에 상용하는 제1,2기준전류를 제공하는 제1,2기준전류소오스와;

상기 출력전류와 외부로 부터 압력되는 입력전압에 상용하는 압력전류가 혼합된 신호로 제공되는 하나의 압출력라인과;

상기 제1,2기준전류와 상기 혼합된 신호를 각기 비교하여 상기 입력전압만을 복원시켜 출력하는 제1,2복 원회로부를 포함하는 것을 특징으로 하는 전류모드 양방향 입출력배표.

청구항 8. 제7항에 있어서, 상기 출력전압에 응답하여 상기 제1기준전류가 제공되는데 걸리는 지연시간 과 동일한 지연시간을 가지는 지연회로를 더 포함하는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 9. 제8항에 있어서, 상기 지연된 출력전압에 응답하여 상기 복원된 두 신호중 한 신호만을 선택하는 스위청회로를 더 포함하는 것을 특징으로 하는 전류모드 양방향 압출력버퍼.

청구항 10. 제9항에 있어서, 상기 스위청회로는 상기 지연된 출력전압이 하이레벨일 경우에는 상기 제1 복원회로부의 출력신호를 선택하고, 상기 지연된 출력전압이 로우레벨일 경우에는 상기 제2복원회로부의 출력신호를 선택하는 것을 특징으로 하는 전류모드 임방향 입출력버퍼.

생구항 11. 제7항에 있어서, 상기 제1기준전류는 하이레벨의 상기 출력전압에 응답하여 상기 출력전류 에 0.75를 곱한 값이 되는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

경구항 12. 제11항에 있어서, 상기 제2기준전류는 로우레벨의 상기 출력전압에 응답하여 상기 출력전류 에 0.25룹 곱한 값이 되는 것을 특징으로 하는 전류모드 양방향 입출력버퍼.

청구항 13. 제7항에 있어서, 상기 제1복원회로부는

상기 출력전류소오스와 일측단자가 접속된 제1전류거울과, 상기 제1전류거울의 일측단자와 동일한 전류값 을 가지는 제1전류거울의 타촉단자와 상기 제1기준전류소오스가 접속되는 제1전류비교기로 구성됩을 특징 으로 하는 전류모드 양방향 입출력버퍼.

청구항 14. 제13항에 있어서, 상기 제1전류거울은

상기 출력전류소오스와 접지전원사이에 채널이 직렬로 접속되며, 게이트와 드레인이 공통접속되는 제1트 랜지스터와; 상기 제1기준전류소오스의 일측단자와 접지전원사이에 채널이 직렬로 접속되며, 상기 제1트 랜지스터의 게이트와 접속되는 게이트를 가지는 제2트랜지스터로 구성됨을 특징으로 하는 전류모드 양방 향 입출력내대.

청구항 15. 제14항에 있어서, 상기 제1전류비교기는 상기 제1기준전류소오스의 일촉단자와 상기 제2트 랜지스터의 드레인이 연결되는 공통단자와 접속되는 인버어터로 구성됨을 특징으로 하는 전류모드 양방향 압출력버퍼.

청구함 16. 제7항에 있어서, 상기 제2복원회로부는

상기 출력전류소오스와 일촉단자가 접속된 제2전류거울과, 상기 제2전류거울의 밀촉단자와 동일한 전류값을 가지는 제2전류거율의 타촉단자와 상기 제2기준전류소오스가 접속되는 제2전류비교기로 구성됨을 특징으로 하는 전류모드 양병향 입출력배퍼.

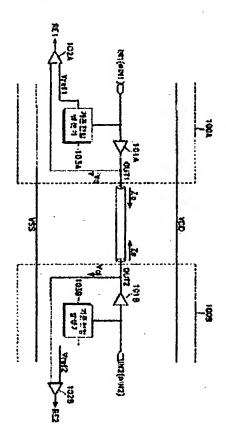
청구항 17. 제16항에 있어서, 상기 제2전류거울은

상기 출력전류소오스와 접지전원사이에 채널이 직렬로 접속되며, 개이트와 드랜인이 공통접속되는 제3트 랜지스터와; 상기 제2기준전류소오스의 일촉단자와 접지전원사이에 채널이 직렬로 접속되며, 상기 제3트 랜지스터의 개이트와 접속되는 게이트를 가지는 제4트랜지스터로 구성됨을 특징으로 하는 전류모드 양방 향 입출력버퍼.

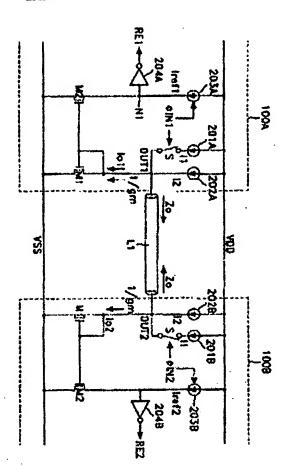
청구항 18. 제17항에 있어서, 상기 제2전류비교기는 상기 제2기준전류소오스의 일축단자와 상기 제4트 랜지스터의 드레인이 연결되는 공통단자와 접속되는 인버어터로 구성팀을 특징으로 하는 전류모드 양방향 입출력버퍼.

<u>도</u>郎

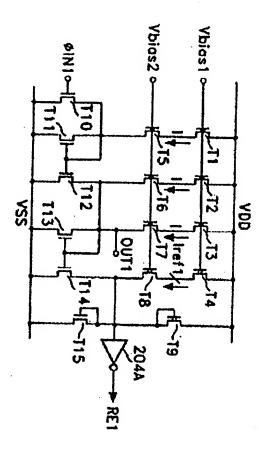
도ย1



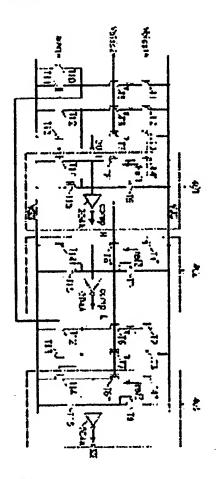
⊊*B*2



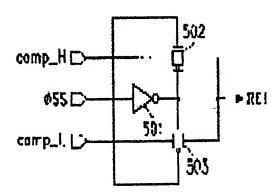
*⊊B*3



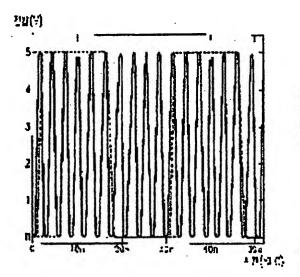
£₽4



525







This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

IMAGES ARE BEST AVAILABLE COPY.

OTHER:

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.